

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-111419

(43)Date of publication of application : 30.04.1996

(51)Int.Cl.

H01L 21/3213

H01L 21/3205

(21)Application number : 06-243956

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 07.10.1994

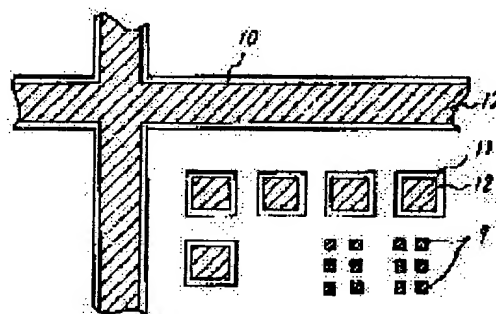
(72)Inventor : YOSHIYAMA KENJI

## (54) SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

(57)Abstract:

**PURPOSE:** To increase the yield in fabrication by enhancing resistance against loading effect in the etching step for forming a local wiring thereby preventing short circuit of the wiring.

**CONSTITUTION:** After depositing titanium for forming a local wiring 9, a resist pattern is formed to leave a dummy pattern on the local wiring 9, a scribe region 10 and a bonding pad region 11. It is then subjected to anisotropic dry etching thus forming a dummy pattern 12 during the step for forming the local wiring 9. Since a dummy pattern is formed during formation of a local wiring by etching, the area to be removed by etching is reduced resulting in the enhancement of resistance against loading effect.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 許出願公開番号

特開平8-111419

(43) 公開日 平成8年(1996)4月30日

(51) Int.Cl.<sup>5</sup>

H 0 1 L 21/3213

21/3205

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/ 88

D

S

審査請求 未請求 請求項の数6 O L (全 7 頁)

(21) 出願番号 特願平6-243956

(22) 出願日 平成6年(1994)10月7日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 吉山 健司

伊丹市瑞原4丁目1番地 三菱電機株式会

社ユー・エル・エス・アイ開発研究所内

(74) 代理人 弁理士 高田 守 (外4名)

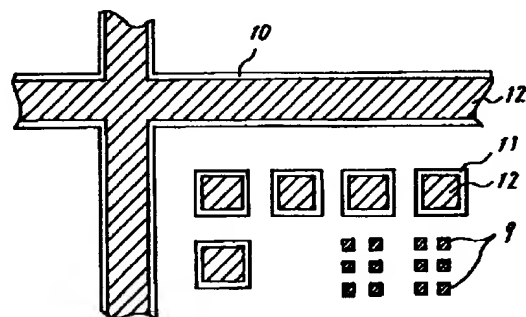
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 局所配線を形成するためのエッチング工程において、耐ローディング効果を向上させることにより、配線のショートを防ぎ、歩留まりを向上させる。

【構成】 局所配線9となるチタン膜を堆積後、局所配線9とスクライプライン領域10及びボンディングパッド領域11上にダミーパターンが残存するレジストパターンを形成後、異方性ドライエッチングを施し、局所配線9と同工程でダミーパターン12を形成する。

【効果】 局所配線を形成するためのエッチング時にダミーパターンも形成することにより、エッチングで除去する面積が減少し、耐ローディング効果が向上する。



9: 局所配線

10: スクライプライン領域

11: ボンディングパッド領域

12: ダミーパターン

## 【特許請求の範囲】

【請求項1】 導電層間を電氣的に接続し、これらの導電層と密着して積層された導電膜からなる局所配線、この局所配線と同時に形成され、上記導電膜からなるダミーパターンを備えた半導体装置。

【請求項2】 ダミーパターンがボンディングパッド領域上又はスクライプライン領域上に形成されたことを特徴とする請求項1記載の半導体装置。

【請求項3】 ダミーパターンが配線上に密着して形成されたことを特徴とする請求項1又は2記載の半導体装置。

【請求項4】 ダミーパターンが導電層上に密着して形成され、上記ダミーパターン上に形成されたコンタクトホールを有する絶縁層と、この絶縁層上に形成され、上記コンタクトホールをへて上記ダミーパターンを介して上記導電層と電氣的に接続される配線とを備えたことを特徴とする請求項1～3のいずれかに記載の半導体装置。

【請求項5】 リング状に形成された導電層と、この導電層に密着して形成されたダミーパターンと、このダミーパターン上に形成されたコンタクトホールを有する絶縁層と、この絶縁層上に形成され、上記コンタクトホールをへて上記ダミーパターンを介して上記導電層と電氣的に接続される配線とを有し、このリングの内部と外部とを電氣的に分離するためのガードリング部を備えた請求項1～4のいずれかに記載の半導体装置。

【請求項6】 複数の導電層を形成する工程と、これらの導電層上に密着して導電膜を堆積し、この導電膜を上記導電層間を電氣的に接続する局所配線と、ダミーパターンとが同時に残存するように上記導電膜をエッチングする工程とを備えた半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、局所配線を備えた半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】 局所配線とは、第1導電型シリコン基板領域とこの第1導電型シリコン基板とは異なる第2導電型シリコン基板領域、又は第1導電型及び第2導電型シリコン基板領域とゲート電極を局所的にコンタクトを得るための一方法である。このような局所配線を用いることは、例えばSRAMセルの面積減少、製造工程の短縮、又はコンタクトの低抵抗化に有効であることが知られている。

【0003】 以下、図7を用いて、局所配線を有する従来の半導体装置の製造方法について説明する。図7は従来の半導体装置の製造工程図であって、この図において、1はP型半導体であるシリコン等からなる基板、2はこの基板1上に形成されたP型ウェル、3はこのP型ウェル2上に形成されたN型不純物拡散層、4は上記P

型ウェル2上に形成されたフィールド酸化膜である。

【0004】 5は隣接した不純物拡散層3間に挟持された領域上に形成された厚さ約10nmのSiO<sub>2</sub>等の酸化膜からなるゲート酸化膜、6aはこのゲート酸化膜5上に形成された厚さ約300nmのポリシリコンからなるゲート電極、6bは先端部（図示せず）がゲート電極となるゲート電極配線、7はこのゲート電極6a及びゲート電極配線6bの側壁に形成された厚さ約150nmのTEOS酸化膜等の酸化膜からなる側壁酸化膜で、ゲート電極6aと不純物拡散層3とを電氣的に絶縁するためのものである。

【0005】 また8はゲート電極6aとゲート電極配線6b及び不純物拡散層3上に形成された導電層である厚さ約65nmの高融点金属シリサイド膜からなるコバルトシリサイド膜である。9はゲート電極配線6bと隣接する不純物拡散層3をコバルトシリサイド膜8を介して電氣的に接続する局所配線で、厚さ約70nmの高融点金属であるチタン膜からなり、このチタン膜は上記コバルトシリサイド膜8に密着して積層されている。

【0006】 上述したような従来の半導体装置においては、不純物拡散層3とゲート電極配線6bとを電氣的に接続するような局所配線9はコンタクトホールを形成することなく、コバルトシリサイド膜8を介して直接接続されることとなる。

【0007】 次に、このような半導体装置の製造方法について、図7に基づいて説明する。まず、イオン注入法によりP型基板1にP型ウェル2を形成し、次に、フィールド酸化膜4をLOCOS酸化（局所酸化法）により形成後、ゲート酸化膜5となるSiO<sub>2</sub>膜及びゲート電極6aとなるポリシリコン膜をCVD法にて順次堆積する。次に写真製版技術にて、ゲート電極6a及びゲート電極配線6bとなるレジストパターンを形成後、異方性ドライエッチングを行い、図7（a）に示されるようなゲート電極6a及びゲート電極配線6bが形成される。

【0008】 次に、N型不純物拡散層3となる部分が開口部となるレジストパターンを写真製版技術により形成し、イオン注入法によってリンイオンを注入し、不純物拡散層3を形成した後、図7（b）に示されるように、基板1の全面にCVD法により側壁酸化膜7となるTEOS酸化膜を堆積する。

【0009】 次に、異方性ドライエッチングを行うと、ゲート電極6a及びゲート電極配線6bの側壁にTEOS酸化膜が残存し、側壁酸化膜7が形成される。次に、再びN型不純物拡散層3となる部分が開口部となるレジストパターンを写真製版技術により形成し、イオン注入法によってヒ素イオンを高濃度で注入する。次に、アニールを例えば、850℃80分行う。次に、コバルト膜をスパッタ法にて基板1の全面に堆積し、熱処理を施すことによって、不純物拡散層3及びゲート電極6a及びゲート電極配線6bを構成するポリシリコンと反応し

て、シリサイド反応が生じ、図7(c)に示されるようにゲート電極6a及びゲート電極配線6b及び不純物拡散層3上にコバルトシリサイド膜8が形成される。

【0010】次に、図7(d)に示されるように、基板1の全面にチタン膜を堆積した後、写真製版技術により局所配線9の部分が覆われるレジストパターンを形成した後、チタン膜をエッチングすると、図7(e)に示されるような局所配線9が完成する。

【0011】

【発明が解決しようとする課題】しかしながら、上述したような局所配線9は、一般にSRAM部のみに用いられるために、局所配線9のエッチング時において、エッチングで除去する面積が非常に大きくなる。例えば、あるマイクロプロセッサにおいてはチップ面積に対してエッチングで除去する面積が約99%となる。従って、局所配線エッチング時においては、基板1内のエッチング面積が大きな領域ではエッチングにおける反応生成物の濃度が濃くなり、この反応生成物が基板1に再付着し、局所的にエッチング速度が小さくなるというローディング効果が生じる。その結果、基板1上にエッチングの残渣が生じ、配線がショートし、歩留まりが低下するという課題があった。

【0012】本発明に係る課題を解決するためなされたもので局所配線のエッチング工程において耐ローディング効果を向上させることにより、配線のショートを防ぎ、歩留まりを向上させることのできる半導体装置を得るとともにさらに、その製造方法を提供する。

【0013】

【課題を解決するための手段】本発明の請求項1記載の半導体装置においては、導電層間を電気的に接続し、これらの導電層と密着して積層された導電膜からなる局所配線、この局所配線と同時に形成され、上記導電膜からなるダミーパターンを備えたものである。

【0014】さらに、本発明の請求項2記載の半導体装置においては、ダミーパターンがボンディングパッド領域上又はスクライプライン領域上に形成されたことを特徴とするものである。

【0015】さらに、本発明の請求項3記載の半導体装置においては、ダミーパターンが配線上に密着して形成されたことを特徴とするものである。

【0016】さらに、本発明の請求項4記載の半導体装置においては、ダミーパターンが導電層上に密着して形成され、上記ダミーパターン上に形成されたコンタクトホールを有する絶縁層と、この絶縁層上に形成され、上記コンタクトホールをへて上記ダミーパターンを介して上記導電層と電気的に接続される配線とを備えたことを特徴とするものである。

【0017】さらに、本発明の請求項5記載の半導体装置においては、リング状に形成された導電層と、この導電層に密着して形成されたダミーパターンと、このダミ

ーパターン上に形成されたコンタクトホールを有する絶縁層と、この絶縁層上に形成され、上記コンタクトホールをへて上記ダミーパターンを介して上記導電層と電気的に接続される配線とを有し、このリングの内部と外部とを電気的に分離するためのガードリング部を備えたものである。

【0018】また、本発明の請求項6記載の半導体装置の製造方法においては、複数の導電層を形成する工程と、これらの導電層上に密着して導電膜を堆積し、この導電膜を上記導電層間を電気的に接続する局所配線と、ダミーパターンとが同時に残存するように上記導電膜をエッチングする工程とを備えたものである。

【0019】

【作用】本発明の請求項1記載の半導体装置においては、局所配線の形成時に、ダミーパターンも同時に形成されるのでエッチングで除去する面積が減少し、エッチング時の再付着を抑制し、耐ローディング効果が向上する。

【0020】さらに、請求項2記載の半導体装置においては、他のパターンに比べてパターン面積の大きなボンディング領域上、スクライプライン領域上にダミーパターンを形成することにより、エッチングで除去する面積を効果的に減少させるとともに、ボンディングパッド及びスクライプラインは基板全面に渡って配置されるので、基板内においてエッチングで除去する面積の大きな領域ができることを防ぐため、さらに耐ローディング効果を向上させることができる。

【0021】さらに、請求項3記載の半導体装置においては、配線上に密着してダミーパターンを形成することにより耐ローディング効果を向上させるとともに、配線とダミーパターンとが電気的に並列に接続されるために、配線の低抵抗化を図ることができる。

【0022】さらに、請求項4記載の半導体装置においては、絶縁層のコンタクトホール下の導電層上にダミーパターンを密着して形成することにより、耐ローディング効果を向上させることができるとともに、ダミーパターンが絶縁層のコンタクトホール形成時行われるオーバーエッチングのマージンとなり、オーバーエッチングによる導電層の突き抜け現象を抑える。

【0023】さらに、請求項5記載の半導体装置においては、ガードリング部を構成するリング状の導電層上にダミーパターンを密着して形成することにより、耐ローディング効果を向上させることができるとともに、導電層上に導電膜からなるダミーパターンを形成することによって、ガードリング部に占める導電体の割合が増加し、かつ導電体の抵抗値が下がるので、ガードリング部のシールド効果が向上する。

【0024】また、請求項6記載の半導体装置の製造方法においては、局所配線の形成時に、同時にダミーパターンを形成するのでエッチングで除去する面積が減少す

10

20

30

40

50

るため、耐ローディング効果が向上する。

【0025】

【実施例】

実施例1. 以下、本発明の実施例1の半導体装置について図1に基づいて説明する。図1はこの半導体装置の一部平面図であって、図において、従来例と同一符号は同一のものを示す。また、10はスクライブラインとなるスクライブライン領域、11はボンディングパッドが形成されるボンディングパッド領域、12はこのボンディングパッド領域11及びスクライブライン領域10上に局所配線9の形成工程中に同時に形成されたダミーパターンである。

【0026】このように構成された半導体装置の製造方法について、以下説明する。この半導体装置の製造工程については、従来のものと全く同じであって、局所配線9形成工程のチタン膜のエッチング工程に用いられる写真製版用マスクを変更するだけでダミーパターン12が形成できる。つまり、写真製版用マスクをボンディングパッド領域11及びスクライブライン領域10上にもレジストパターンが残るマスクに変更し、このマスクを用いて、レジストパターンを形成した後異方性ドライエッチングを施した後、レジストを除去することによって、ダミーパターン12は局所配線9と同時に形成できる。

【0027】このように局所配線9を形成するための異方性ドライエッチング時に、スクライブライン領域10上及びボンディングパッド領域11上にダミーパターン12を残すことにより、スクライブライン領域10及びボンディングパッド領域11は基板1の全面に拡がっているため、エッチングが局所的になることを防ぎ、さらにボンディングパッド領域11及びスクライブライン領域10上のダミーパターン12は、局所配線9に比べて面積が非常に大きいので、エッチングで除去する面積が減少し、エッチング時の膜残渣の発生を抑制し、耐ローディング効果を向上させることができる。従って、残渣の発生による配線のショートが抑えられ、半導体装置の歩留まりが向上する。

【0028】例えばあるマイクロプロセッサにおいてはエッチングで除去する面積がチップ面積に対して約99%であったものが、ダミーパターン12を用いることで約80%に減少できる。また、ダミーパターン12下の膜は、導電膜であっても絶縁膜であっても何ら問題が生じることはない。

【0029】さらに、この実施例においては、写真製版用のマスクを変更するだけで、耐ローディング効果の向上が図られるので、製造工程数を増やすこともないので製造コストを上昇させることなく半導体装置の歩留まりが向上できる。

【0030】実施例2. 次に、本発明の実施例2を図2に基づいて説明する。図2は本発明の実施例2を示す半導体装置におけるインバータ回路の一部上面図である。

図において、13は基板1に形成された活性領域、14はこの活性領域13を電氣的に接続する導電体であるアルミニウムからなるアルミ配線、15はこのアルミ配線14と活性領域13を接続するため、層間酸化膜（図示せず）に形成されたコンタクトホールである。

【0031】また、この実施例の半導体装置におけるSRAM部においても、局所配線が形成されており、ボンディングパッド領域11及びスクライブライン領域10上にはダミーパターン12が形成されている。さらに、インバータ回路部においては、ゲート電極配線6b上にも、局所配線9の形成時にダミーパターン12が形成されている。

【0032】このように、ゲート電極配線6b上にもダミーパターン12を形成することによって、エッチングで除去する面積が実施例1と比べてさらに小さくなりさらに、耐ローディング効果を向上させることができる。

【0033】さらに、ゲート電極配線6b上にダミーパターン12を密着して形成することにより、このダミーパターン12とゲート電極配線6bとが電氣的に並列に接続されるため、ゲート電極配線6bの低抵抗化を図ることができ、製造コストを上げることなく、半導体装置の性能を向上させることができる。

【0034】また、この実施例ではインバータ回路部を用いて説明したが、これに限ることなく、ゲート電極配線6b上にダミーパターンを形成すると上述した効果が得られることは言うまでもない。

【0035】さらに、ゲート電極配線6bに限ることなく、ダミーパターン12が密着して形成できる配線であれば、同様の効果が得られる。

【0036】実施例3. 図3は本発明の実施例3の半導体装置を示す一部断面図であって、この図において、16は導電層であるコバルトシリサイド膜8上に形成された層間絶縁層、17はこの層間絶縁層16に形成されたコンタクトホール、18は層間絶縁層16上に形成されたこのコンタクトホール17を介してコバルトシリサイド膜8と電氣的に接続される配線である。

【0037】この実施例の半導体装置においても、実施例1で示したように、SRAM部には局所配線9が形成されており、この局所配線9の形成時に同時にダミーパターン12がボンディングパッド領域上及びスクライブライン領域上に形成されている。さらに、この実施例では、コバルトシリサイド膜8上に形成された層間絶縁層16のコンタクトホール17領域下のコバルトシリサイド膜8上にもダミーパターンを形成したものである。

【0038】一般に、コンタクトホール17形成時には、基板1上の段差による層間絶縁層16の膜厚が異なるためにオーバーエッチングが行われることとなるので、層間絶縁層16の薄い部分ではエッチング時にコバルトシリサイド膜8を突き抜け、コンタクト抵抗が増加することがあったが、この実施例においては、局所配線

7

9形成時にコンタクトホール17形成領域下のコバルトシリサイド膜8上にダミーパターン12を形成することによって、オーバーエッチングをこのダミーパターン12によって吸収し、コバルトシリサイド膜8の突き抜け現象を防ぎ、コンタクト抵抗の増加を抑制する。

【0039】また、コンタクトホール形成時において、コバルトシリサイド膜8上にダミーパターン12が残り、配線18とダミーパターン12が接続されることとなってもダミーパターン12を形成するチタン膜の抵抗は小さいので接触抵抗には何ら問題は生じない。

【0040】また、このように、層間絶縁層16のコンタクトホール17領域下のコバルトシリサイド膜8上にもダミーパターン12を局所配線9形成時に同時に形成することにより、エッチングで除去する面積は減少し、耐ローディング効果も向上することは言うまでもない。

【0041】実施例4. 図4は本発明の実施例4の半導体装置におけるアナログ/デジタル変換器の一部を示す上面図で、図5は図4におけるI-I線の断面図、図6は図4におけるII-II線の断面図である。これらの図4～図6に基づいて、実施例4の半導体装置について説明する。

【0042】この実施例においては、リング状に形成された導電層からなるゲート電極配線6bと、このゲート電極配線6b上に密着して局所配線9形成時に同時に形成されたダミーパターン12と、このダミーパターン12上に形成された層間絶縁層16上に形成され、この層間絶縁層16のコンタクトホール17を介してダミーパターン12に電気的に接続される配線18とによってガードリング部19が形成されている。

【0043】また、このガードリング部19の内部がアナログ容量部20で外部がデジタル部21であって、アナログ容量部20とデジタル部21とは電気的に分離する必要があるため、このガードリング部19を用いて、アナログ容量部20のシールドが行われる。つまり、ガードリング部19に一定電圧である電源電圧、又はグランド電圧を印加することによって、アナログ容量部20とデジタル部21とが電気的に分離されている。しかしながら、ガードリング部19は、配線18が埋め込まれるコンタクトホール17-コンタクトホール17間に層間絶縁層16が存在するため完全なシールドとはなっていない。

【0044】上述したように、ガードリング部19を構成するゲート電極配線6b上に密着してダミーパターン12を形成することによって、ガードリング部19に占める導電体の割合が増加し、コンタクトホール17とコンタクトホール17間の絶縁体のガードリング部19に占める割合が減少する。また、導電体部の低抵抗化が図れるので、シールド効果が高められることとなる。

【0045】また、この実施例においても、ガードリング部19を構成するリング状のゲート電極配線6b上に

8

ダミーパターン12を形成することによって局所配線9にエッチングする工程において、エッチングで除去する面積が減少し、耐ローディング効果は向上する。

【0046】

【発明の効果】本発明の請求項1記載の半導体装置においては、局所配線と同時にダミーパターンを形成するので、局所配線のためのエッチング時に耐ローディング効果が向上し、基板上の残渣の発生を抑えるため、配線のショートがなくなり、歩留まりが向上するという効果を有する。

【0047】また、請求項2記載の半導体装置においては、局所配線と同時に形成されるダミーパターンをボンディングパッド領域上又はスクライブライン領域上に形成することによって、ボンディングパッド及びスクライブラインが他のパターンに比較して大面積でかつ、基板全面に配置されるため、効果的にエッチングで除去する面積が減少でき、さらに耐ローディング効果が向上し、歩留まりが向上するという効果を有する。

【0048】さらに、請求項3記載の半導体装置においては、ダミーパターンを配線に密着して形成することによって、配線とダミーパターンが電気的に並列に接続されるために、製造工程を増加させることなく配線の低抵抗化を図ることができるという効果を有する。

【0049】また、請求項4記載の半導体装置においては、ダミーパターン上に絶縁層のコンタクトホールを形成することによって、コンタクトホール形成のためのエッチング時におけるオーバーエッチングによる導電層の突き抜け現象を防ぐことができるという効果を有する。

【0050】さらに、請求項5記載の半導体装置においては、ガードリング部を構成するリング状の導電層上にダミーパターンを密着して形成することによって、ガードリング部に占める絶縁体の割合を低下させることができるので、ガードリング部のシールド効果が向上し、半導体装置の性能をアップすることができるという効果を有する。

【0051】また、請求項6記載の半導体装置の製造方法においては、局所配線の形成時に、同時にダミーパターンを形成することによって、エッチングで除去する面積が減少し、耐ローディング効果が向上するので製造工程数を増やすことなく、歩留まりを向上させることができるという効果を有する。

【図面の簡単な説明】

【図1】 本発明の実施例1である半導体装置を示す一部上面図である。

【図2】 本発明の実施例2である半導体装置を示す一部上面図である。

【図3】 本発明の実施例3である半導体装置を示す一部断面図である。

【図4】 本発明の実施例4である半導体装置を示す一部上面図である。

9

10

【図5】 図4のI-I線における断面図である。

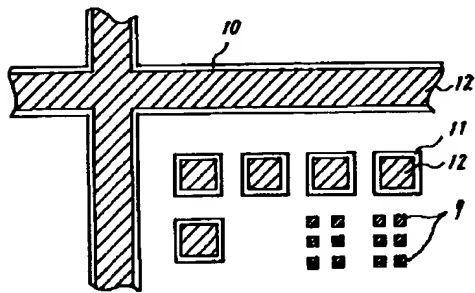
【図6】 図4のII-II線における断面図である。

【図7】 従来の半導体装置の製造方法を示す断面工程図である。

【符号の説明】

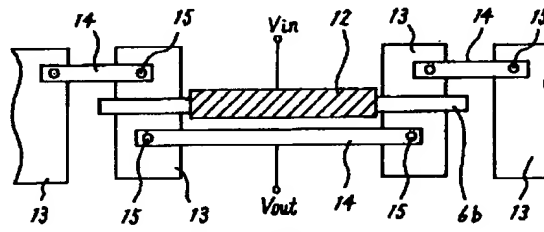
6b ゲート電極配線、8 コバルトシリサイド膜、9 局所配線、10 スクライプライン領域、11 ボンディングパッド領域、12 ダミーパターン、16 層間絶縁層、17 コンタクトホール、18 アルミ配線、19 ガードリング部。

【図1】



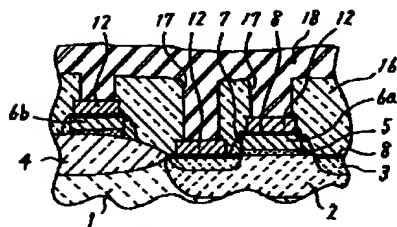
9:局所配線 11:ボンディングパッド領域  
10:スクライプライン領域 12:ダミーパターン

【図2】



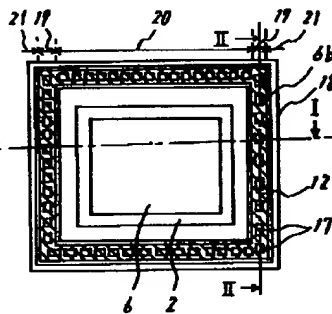
6b:ゲート電極配線

【図3】

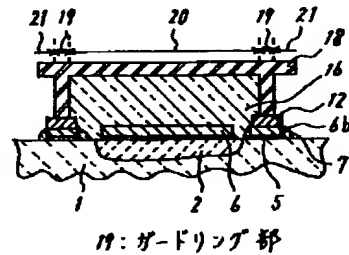


8:コバルトシリサイド膜 17:コンタクトホール  
16:層間絶縁層 18:アルミ配線

【図4】

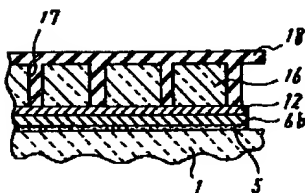


【図5】

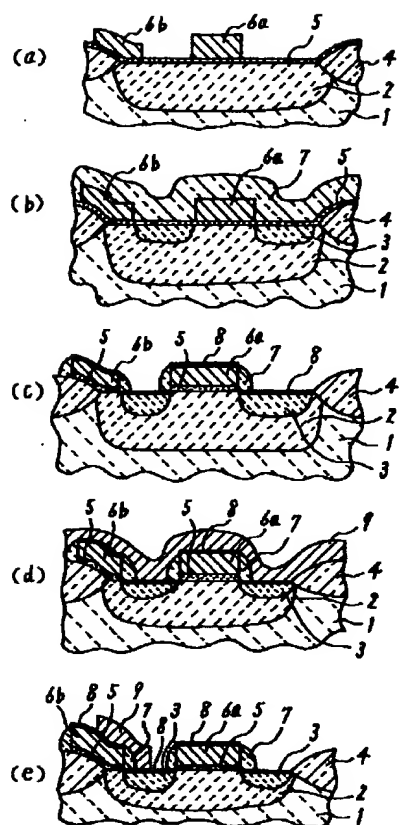


19:ガードリング部

【図6】



【図7】





Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the semiconductor device equipped with partial wiring, and its manufacture method.

[0002]

[Description of the Prior Art] the [ a 2nd conductivity-type silicon-substrate field which is different from partial wiring with the 1st conductivity-type silicon-substrate field and this 1st conductivity-type silicon substrate or the 1st conductivity type, and ] -- in order to obtain contact for 2 conductivity-type silicon-substrate field and a gate electrode locally -- on the other hand -- law -- it is . It is known that it is effective in area reduction of for example, a SRAM cell, shortening of a manufacturing process, or the reduction in resistance of contact to use such partial wiring.

[0003] Hereafter, the manufacture method of the conventional semiconductor device of having partial wiring is explained using drawing 7 . Drawing 7 is the manufacturing process view of the conventional semiconductor device, and the substrate which consists of silicon whose 1 is a P type semiconductor in this drawing, the P type well by which 2 was formed on this substrate 1, the N type impurity diffusion layer by which 3 was formed on this P type well 2, and 4 are the field oxide films formed on the above-mentioned P type well 2.

[0004] The gate oxide film which consists of an oxide film of SiO<sub>2</sub> grade with a thickness of about 10nm formed on the field pinched between the impurity diffusion layers 3 which 5 adjoined, The gate electrode which consists of contest polysilicon with a thickness of about 300nm with which 6a was formed on this gate oxide film 5, The gate electrode wiring with which, as for 6b, a point (not shown) serves as a gate electrode, and 7 are the side-attachment-wall oxide films which consist of oxide films, such as a TEOS oxide film with a thickness of about 150nm formed in the side attachment wall of this gate electrode 6a and gate electrode wiring 6b. It is for insulating electrically gate electrode 6a and the impurity diffusion layer 3.

[0005] Moreover, 8 is a cobalt silicide film which consists of a refractory-metal silicide film with a thickness of about 65nm which is the conductive layer formed on gate electrode 6a, gate electrode wiring 6b, and the impurity diffusion layer 3. 9 consists of a titanium film which is the partial wiring which connects electrically the impurity diffusion layer 3 which adjoins gate electrode wiring 6b through the cobalt silicide film 8, and is a refractory metal with a thickness of about 70nm, and the laminating of this titanium film is stuck and carried out to the above-mentioned cobalt silicide film 8.

[0006] In the conventional semiconductor device which was mentioned above, the direct file of the partial wiring 9 which connects electrically the impurity diffusion layer 3 and gate electrode wiring 6b will be carried out through the cobalt silicide film 8, without forming a contact hole.

[0007] Next, the manufacture method of such a semiconductor device is explained based on drawing 7 . First, the polysilicon contest film used as SiO<sub>2</sub> film which forms the P type well 2 in the P type substrate 1 with ion-implantation, next turns into the gate oxide film 5 after formation by LOCOS oxidization (partial oxidation style) in the field oxide film 4, and gate electrode 6a is deposited one by one in CVD. Next, anisotropy dry etching is performed after forming the resist pattern set to gate electrode 6a and gate electrode wiring 6b with photoengraving-process technology, and gate electrode 6a and gate electrode wiring 6b as shown in drawing 7 (a) are formed.

[0008] Next, after it forms the resist pattern used as opening with photoengraving-process technology, and the portion used as the N type impurity diffusion layer 3 pours in phosphorus ion and forms the impurity diffusion layer 3 with ion-implantation, as shown in drawing 7 (b), the TEOS oxide film which turns into the side-attachment-wall oxide film 7 by CVD all over a substrate 1 is deposited.

[0009] Next, if anisotropy dry etching is performed, a TEOS oxide film will remain on the side attachment wall of gate electrode 6a and gate electrode wiring 6b, and the side-attachment-wall oxide film 7 will be formed. Next, the resist pattern with which the portion which serves as the N type impurity diffusion layer 3 again serves as opening is formed with photoengraving-process technology, and arsenic ion is poured in by high concentration with ion-implantation. Next, 850 degrees C of annealing are performed for 80 minutes, for example. Next, by heat-treating by depositing a cobalt film all over a substrate 1 in a spatter, it reacts with contest polysilicon which constitutes the impurity diffusion layer 3, gate electrode 6a, and gate electrode wiring 6b, and a silicide reaction arises, and as shown in drawing 7 (c), the cobalt silicide film 8 is formed on gate electrode 6a, gate electrode wiring 6b, and the impurity diffusion layer 3.

[0010] Next, if a titanium film is \*\*\*\*\*ed after forming the resist pattern by which the portion of the partial wiring 9 is

covered with photoengraving-process technology after depositing a titanium film all over a substrate 1, as shown in drawing 7 (d), the partial wiring 9 as shown in drawing 7 (e) will be completed.

[0011]

[Problem(s) to be Solved by the Invention] However, since the partial wiring 9 which was mentioned above is generally used only for the SRAM section, the area removed by etching at the time of etching of the partial wiring 9 becomes very large. For example, the area removed by etching to chip area in a certain microprocessor becomes about 99%. Therefore, in the time of partial wiring etching, in the field where the etching area in a substrate 1 is big, the concentration of the resultant in etching becomes deep, this resultant carries out the reattachment to a substrate 1, and the loading effect that an etch rate becomes small locally arises.

Consequently, on the substrate 1, the residue of etching arose, wiring short-circuited and the technical problem that the yield fell occurred.

[0012] By having been made in order to solve the starting technical problem, and raising a loading effect-proof in the etching process of partial wiring, this invention prevents short-circuit of wiring, and it offers the manufacture method further while it obtains the semiconductor device which can raise the yield.

[0013]

[Means for Solving the Problem] In the semiconductor device of this invention according to claim 1, between conductive layers is connected electrically, and it is formed simultaneously with the partial wiring which consists of an electric conduction film by which the laminating was carried out by sticking with these conductive layers, and this partial wiring, and has the dummy pattern which consists of the above-mentioned electric conduction film.

[0014] Furthermore, in the semiconductor device of this invention according to claim 2, it is characterized by forming a dummy pattern on a bonding pad field or a scribe line field.

[0015] Furthermore, in the semiconductor device of this invention according to claim 3, it is characterized by sticking and forming a dummy pattern on wiring.

[0016] Furthermore, in the semiconductor device of this invention according to claim 4, it is characterized by having the insulating layer which has the contact hole which the dummy pattern was stuck and formed on the conductive layer, and was formed on the above-mentioned dummy pattern, and the wiring which is formed on this insulating layer and is electrically connected with the above-mentioned conductive layer through the above-mentioned dummy pattern through the above-mentioned contact hole.

[0017] Furthermore, it sets to the semiconductor device of this invention according to claim 5. The conductive layer formed in the shape of a ring, and the dummy pattern formed in this conductive layer by sticking, The insulating layer which has the contact hole formed on this dummy pattern, It is formed on this insulating layer, has the wiring electrically connected with the above-mentioned conductive layer through the above-mentioned dummy pattern through the above-mentioned contact hole, and has the guard ring section for separating the interior and the exterior of this ring electrically.

[0018] Moreover, in the manufacture method of the semiconductor device of this invention according to claim 6, it sticks the process which forms two or more conductive layers, and on these conductive layers, an electric conduction film is deposited, and it has the process which \*\*\*\*\*s the above-mentioned electric conduction film so that the partial wiring which connects electrically, and a dummy pattern may remain this electric conduction film simultaneously in between the above-mentioned conductive layers.

[0019]

[Function] In the semiconductor device of this invention according to claim 1, since a dummy pattern is also simultaneously formed at the time of formation of partial wiring, the area removed by etching decreases, the reattachment at the time of etching is suppressed, and a loading effect-proof improves.

[0020] Furthermore, it sets to a semiconductor device according to claim 2. While decreasing effectively the area removed by etching by forming a dummy pattern on the bonding field where pattern area is big, and a scribe line field compared with other patterns Since it goes across a bonding pad and a scribe line all over a substrate, they are arranged and they prevent making the field where the area removed by etching in a substrate is big, they can raise a loading effect-proof further.

[0021] Furthermore, in a semiconductor device according to claim 3, since wiring and a dummy pattern are electrically connected in parallel while raising a loading effect-proof by sticking on wiring and forming a dummy pattern, low resistance-ization of wiring can be attained.

[0022] Furthermore, in a semiconductor device according to claim 4, while being able to raise a loading effect-proof by sticking and forming a dummy pattern on the conductive layer under the contact hole of an insulating layer, a dummy pattern serves as a margin of the over etching performed at the time of contact hole formation of an insulating layer, the conductive layer by over etching runs, and a phenomenon is suppressed.

[0023] Furthermore, since the rate of the conductor occupied in the guard ring section by forming the dummy pattern which consists of an electric conduction film on a conductive layer increases and the resistance of a conductor falls while being able to raise a loading effect-proof by sticking and forming a dummy pattern in a semiconductor device according to claim 5 on the conductive layer of the shape of a ring which constitutes the guard ring section, the shielding effect of the guard ring section improves.

[0024] Moreover, in the manufacture method of a semiconductor device according to claim 6, since a dummy pattern is simultaneously formed at the time of formation of partial wiring, in order that the area removed by etching may decrease, a loading effect-proof improves.

[0025]

[Example]

The semiconductor device of the example 1 of this invention is explained based on drawing 1 below example 1. This semiconductor device is a plan a part and, as for drawing 1, the same sign as the conventional example shows the same thing in drawing. Moreover, the scribe line field where 10 becomes a scribe line, the bonding pad field in which, as for 11, a bonding pad is formed, and 12 are the dummy patterns simultaneously formed into the formation process of the partial wiring 9 on this bonding pad field 11 and the scribe line field 10.

[0026] Thus, the manufacture method of the constituted semiconductor device is explained below. About the manufacturing process of this semiconductor device, the dummy pattern 12 can be formed only by changing the mask for photoengraving process which is completely the same as the conventional thing, and is used for the etching process of the titanium film of a partial wiring 9 formation process. That is, the dummy pattern 12 can be formed simultaneously with the partial wiring 9 by changing the mask for photoengraving process into the mask with which a resist pattern remains also on the bonding pad field 11 and the scribe line field 10, and removing a resist, after forming a resist pattern and giving anisotropy dry etching using this mask.

[0027] Thus, by leaving the dummy pattern 12 on the scribe line field 10 and the bonding pad field 11 at the time of the anisotropy dry etching for forming the partial wiring 9 Since the scribe line field 10 and the bonding pad field 11 spread out all over the substrate 1, Etching prevents a bird clapper locally. further the dummy pattern 12 on the bonding pad field 11 and the scribe line field 10 Since area is very large compared with the partial wiring 9, the area removed by etching can decrease, generating of the film residue at the time of etching can be suppressed, and a loading effect-proof can be raised. Therefore, short-circuit of wiring by generating of a residue is suppressed, and the yield of a semiconductor device improves.

[0028] For example, that whose area removed by etching in a certain microprocessor was about 99% to chip area can decrease to about 80% by using the dummy pattern 12. Moreover, even if it is an electric conduction film and the film under the dummy pattern 12 is an insulator layer, a problem does not produce it at all.

[0029] Furthermore, the yield of a semiconductor device can be improved in this example, without raising a manufacturing cost, since the mask for photoengraving process is only changed, improvement in a loading effect-proof is achieved and the number of manufacturing processes is not increased.

[0030] Example 2., next the example 2 of this invention are explained based on drawing 2. a part of inverter circuit in the semiconductor device which drawing 2 shows the example 2 of this invention -- it is a plan In drawing, the aluminum wiring which consists of an active region by which 13 was formed in the substrate 1, and aluminum whose 14 is a conductor which connects this active region 13 electrically, and 15 are the contact holes formed in the oxide film between layers (not shown) in order to connect an active region 13 with this aluminum wiring 14.

[0031] Moreover, also in the SRAM section in the semiconductor device of this example, partial wiring is formed and the dummy pattern 12 is formed on the bonding pad field 11 and the scribe line field 10. Furthermore, in the inverter circuit section, the dummy pattern 12 is formed also on gate electrode wiring 6b at the time of formation of the partial wiring 9.

[0032] Thus, by forming the dummy pattern 12 also on gate electrode wiring 6b, the area removed by etching can become still smaller compared with an example 1, and a loading effect-proof can be raised further.

[0033] Furthermore, the performance of a semiconductor device can be raised, without being able to attain low resistance-ization of gate electrode wiring 6b, and raising a manufacturing cost, since this dummy pattern 12 and gate electrode wiring 6b are electrically connected in parallel by sticking and forming the dummy pattern 12 on gate electrode wiring 6b.

[0034] Moreover, although this example explained using the inverter circuit section, it cannot be overemphasized that the effect mentioned above when the dummy pattern was formed on gate electrode wiring 6b, without restricting to this is acquired.

[0035] Furthermore, the same effect will be acquired if it is the wiring which the dummy pattern 12 sticks and can be formed, without restricting to gate electrode wiring 6b.

[0036] It is the wiring which the layer insulation layer formed on the cobalt [ which example 3. drawing 3 shows the semiconductor device of the example 3 of this invention ] silicide film 8 whose 16 is [ in / this drawing / are a cross section in part and ] a conductive layer, the contact hole by which 17 was formed in this layer insulation layer 16, and 18 are formed on the layer insulation layer 16, and is electrically connected with the cobalt silicide film 8 through this contact hole 17.

[0037] Also in the semiconductor device of this example, as the example 1 showed, the partial wiring 9 is formed in the SRAM section, and the dummy pattern 12 is simultaneously formed on the bonding pad field and the scribe line field at the time of formation of this partial wiring 9. Furthermore, in this example, a dummy pattern is formed also on the cobalt silicide film 8 under the contact hole 17 field of the layer insulation layer 16 formed on the cobalt silicide film 8.

[0038] Since the thickness of the layer insulation layer 16 by the level difference on a substrate 1 differs and over etching will generally be performed at the time of contact hole 17 formation Although it might run through the cobalt silicide film 8 and contact resistance might increase in the thin portion of the layer insulation layer 16 at the time of etching In this example, by forming the dummy pattern 12 on the cobalt silicide film 8 under a contact hole 17 formation field at the time of partial wiring 9 formation Over etching is absorbed with this dummy pattern 12, the cobalt silicide film 8 runs, a phenomenon is prevented, and the increase in contact resistance is suppressed.

[0039] Moreover, the dummy pattern 12 remains on the cobalt silicide film 8 at the time of contact hole formation, and since resistance of the titanium film which forms the dummy pattern 12 is small even if the dummy pattern 12 will be connected with wiring 18, in contact resistance, a problem is not produced at all.

[0040] Moreover, it cannot be overemphasized in this way by forming the dummy pattern 12 simultaneously at the time of partial

wiring 9 formation also on the cobalt silicide film 8 under the contact hole 17 field of the layer insulation layer 16 that the area removed by etching decreases and a loading effect-proof also improves.

[0041] Example 4. drawing 4 is the plan showing some of analogs / digital converters in the semiconductor device of the example 4 of this invention, and the cross section of an I-I line [ in / drawing 4 / in drawing 5 ] and drawing 6 are the cross sections of the II-II line in drawing 4 . The semiconductor device of an example 4 is explained based on these drawing 4 - drawing 6 .

[0042] Gate electrode wiring 6b which consists of a conductive layer formed in the shape of a ring in this example, The dummy pattern 12 which stuck on this gate electrode wiring 6b, and was simultaneously formed at the time of partial wiring 9 formation, It is formed on the layer insulation layer 16 formed on this dummy pattern 12, and the guard ring section 19 is formed by the wiring 18 electrically connected to the dummy pattern 12 through the contact hole 17 of this layer insulation layer 16.

[0043] Moreover, since the exterior is the digital section 21 in the analog part by volume 20 and the interior of this guard ring section 19 needs to dissociate electrically [ the analog part by volume 20 and the digital section 21 ], the shield of the analog part by volume 20 is performed using this guard ring section 19. That is, the analog part by volume 20 and the digital section 21 are electrically separated by impressing the supply voltage which is fixed voltage, or grand voltage to the guard ring section 19. However, since the layer insulation layer 16 exists between the contact hole 17-contact holes 17 where wiring 18 is embedded, the guard ring section 19 does not serve as a perfect shield.

[0044] As mentioned above, by sticking on gate electrode wiring 6b which constitutes the guard ring section 19, and forming the dummy pattern 12, the rate of the conductor occupied in the guard ring section 19 increases, and the rate for which it accounts in the guard ring section 19 of the insulator between a contact hole 17 and a contact hole 17 decreases. Moreover, since low resistance-ization of the conductor section can be attained, a shielding effect will be heightened.

[0045] Moreover, by forming the dummy pattern 12 on gate electrode wiring 6b of the shape of a ring which constitutes the guard ring section 19, in the process which \*\*\*\*\*s to the partial wiring 9, the area removed by etching decreases and a loading effect-proof improves also in this example.

[0046]

[Effect of the Invention] In the semiconductor device of this invention according to claim 1, since a dummy pattern is formed simultaneously with partial wiring, in order for a loading effect-proof to improve at the time of etching for partial wiring and to suppress generating of the residue on a substrate, short-circuit of wiring is lost and it has the effect that the yield improves.

[0047] moreover, the thing for which the dummy pattern formed [ be form and it be part - wire ] forms on a bonding pad field or a scribe line field in a semiconductor device according to claim 2 -- the pattern of others [ line / scribe / a bonding pad and ] -- comparing -- a large area -- and since it is arranged all over a substrate, it has the effect that can decrease the area which removes by etching effectively, a loading effect-proof improve further , and the yield improve

[0048] Furthermore, in a semiconductor device according to claim 3, since a dummy pattern is electrically connected with wiring in parallel by sticking and forming a dummy pattern in wiring, it has the effect that low resistance-ization of wiring can be attained, without making a manufacturing process increase.

[0049] Moreover, in a semiconductor device according to claim 4, by forming the contact hole of an insulating layer on a dummy pattern, the conductive layer by the over etching at the time of etching for contact hole formation runs, and it has the effect that a phenomenon can be prevented.

[0050] Furthermore, in a semiconductor device according to claim 5, since the rate of the insulator occupied in the guard ring section by sticking and forming a dummy pattern on the conductive layer of the shape of a ring which constitutes the guard ring section can be reduced, the shielding effect of the guard ring section improves and it has the effect that the performance of a semiconductor device can be raised.

[0051] Moreover, in the manufacture method of a semiconductor device according to claim 6, the area removed by etching by forming a dummy pattern simultaneously at the time of formation of partial wiring decreases, and it has the effect that the yield can be raised, without increasing the number of manufacturing processes, since a loading effect-proof improves.

---

[Translation done.]